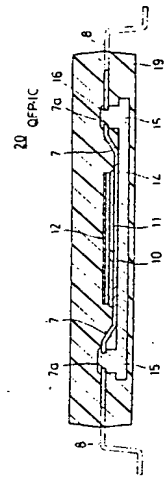


(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE AND LEAD FRAME USED FOR IT

- (11) 3-286558 (A) (43) 17.12.1991 (19) JP
 (21) Appl. No. 2-88978 (22) 2.4.1990
 (71) HITACHI LTD(1) (72) SUMIO OKADA(3)
 (51) Int. Cl.⁵ H01L23/29, H01L23/50

PURPOSE: To prevent productivity from being reduced and enable cooling property to be enhanced by allowing a cooling fin which protrudes at an outside of a resin-sealing package to be connected to a cooling fin lead in one piece and burying one part of a heat sink into a resin-sealing package at an end face opposite to a semiconductor pellet bonding end face of a tab for achieving mechanical connection to the cooling fin lead.

CONSTITUTION: A cooling fin 8 is connected to a tab 10 thermally in one piece and a heat sink 14 is placed closer to the tab and is buried in a resin-sealing package 18 so that heat can be radiated from both the cooling fin and the heat sink, thus enhancing cooling performance drastically. Also, since the heat sink can be connected to a cooling fin lead 7 which is connected to the tab within the resin-sealing package, an assembly device for performing each operation for a lead frame including the tab and cooling fin lead can be shared with conventional ones.



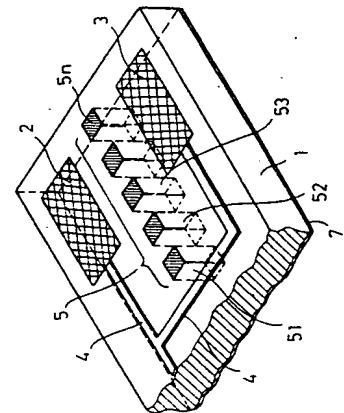
7a: coupling hole, 12: pellet, 20: low-heat resistance type, 16: caulking machining part, 15: rivet part

(54) HIGH-FREQUENCY INTEGRATED CIRCUIT

- (11) 3-286559 (A) (43) 17.12.1991 (19) JP
 (21) Appl. No. 2-89504 (22) 3.4.1990
 (71) MITSUBISHI ELECTRIC CORP (72) MASAYUKI ABE(1)
 (51) Int. Cl.⁵ H01L27/04, H01L21/76, H01L29/804

PURPOSE: To prevent an entire high-frequency integrated circuit from operating with characteristics different from designed ones and an undesirable oscillation from occurring due to the interference of high-frequency circuit elements with each other by connecting each via hole to a common electrode which is provided on a rear surface of the substrate for grounding in terms of high frequency.

CONSTITUTION: An interval between via holes of a via hole row 5 is designed to be shorter than a signal wavelength λ at an operating frequency. A common electrode 7 is provided on a rear surface of a substrate 1 and via holes 51, 52, ..., 5n are connected to a common electrode 7. The common electrode 7 is connected to the earth or a power supply voltage Vdd and is ground in terms of high frequency. As is already known, an electromagnetic wave hardly passes through a ground electrode pattern in a mesh shape which is smaller than the signal wavelength λ . Therefore, the via hole row 5 which is ground in terms of high frequency by the common electrode 7 operates as a ground conduction wall for microwave and isolates amplifiers 2 and 3 for microwave, thus preventing these amplifiers from interfering with each other.

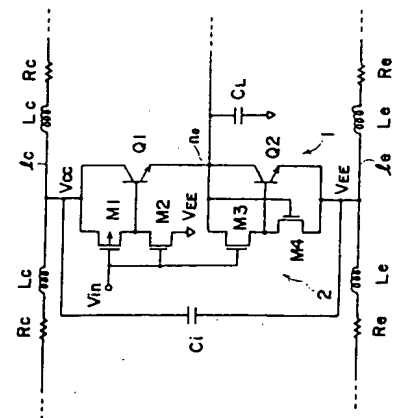


(54) SEMICONDUCTOR INTEGRATED CIRCUIT

- (11) 3-286560 (A) (43) 17.12.1991 (19) JP
 (21) Appl. No. 2-88573 (22) 3.4.1990
 (71) HITACHI LTD (72) KAYOKO SAITO(3)
 (51) Int. Cl.⁵ H01L27/04, H01L27/06, H01L27/10

PURPOSE: To prevent a power supply voltage from fluctuating due to charging and discharging of a capacitive load and prevent a logic LSI from malfunctioning and losing its operation speed by forming a capacitive element within a formation area of a logic gate circuit and by connecting this capacitive element between power supply terminals of circuit.

CONSTITUTION: A CMOS logic stage 2 consists of a MOS inverter which is made of p-channel MOSFET M1 and an n-channel MOSFET M2 which are connected between power supply voltage terminals in series and two n-channel MOSFET M3 and M4 which are connected in series between an output node n_o of a circuit and the power supply voltage terminal. An input signal Vin is applied to gate terminals of the M1, M2, and M3 out of the MOSFET M1-M4, thus enabling transistors Q1 and Q2 at an output stage 1 to be turned on or off complementarily for driving a capacitive load. At this time, either one of the transistors Q1 and Q2 is always turned off so that through current is prevented and power consumption can be reduced. Also, since the load is driven by a bipolar transistor, higher-speed operation can be achieved as compared with a CMOS inverter.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-286558

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月17日

H 01 L 23/29
23/50

F

9054-4M
7220-4M

H 01 L 23/36

A

審査請求 未請求 請求項の数 6 (全13頁)

⑮ 発明の名称 半導体装置およびその製造方法並びにそれに使用されるリードフレーム

⑯ 特 願 平2-88978

⑰ 出 願 平2(1990)4月2日

⑱ 発 明 者 岡 田 澄 夫 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲ 発 明 者 清 水 一 男 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立東部セミコンダクタ株式会社 埼玉県入間郡毛呂山町大字旭台15番地

㉒ 代 理 人 弁理士 梶 原 辰 也
最終頁に続く

明 細 書

1. 発明の名称

半導体装置およびその製造方法
並びにそれに使用されるリードフレーム

2. 特許請求の範囲

1. 半導体ベレットがボンディングされているタブに放熱フィンリードが一体的に連設されているとともに、この放熱フィンリードに樹脂封止パッケージの外部に突出された放熱フィンが一体的に連設されており、さらに、樹脂封止パッケージ内にはヒートシンクの少なくとも一部が前記タブの前記半導体ベレットボンディング端面と反対側の端面に配されて埋設され、かつ、このヒートシンクは前記放熱フィンリードに機械的に結合されていることを特徴とする半導体装置。
2. 前記ヒートシンクと放熱フィンリードとの結合手段として、かしめ加工が使用されていることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 前記放熱フィンリードがタブの各コーナ部にそれぞれ配されて一体的に連設されており、これら放熱フィンリードにそれぞれ一体的に連設された放熱フィンが樹脂封止パッケージの各コーナ部にそれぞれ配されて外部へ突出されているとともに、この放熱フィンはリードのアウト部に対応する形状に形成されていることを特徴とする特許請求の範囲第1項記載の半導体装置。
4. 前記ヒートシンクはその一部が樹脂封止パッケージから露出されていることを特徴とする特許請求の範囲第1項記載の半導体装置。
5. タブと、インナ部がタブに近接して配設されている複数本のリードと、タブに一体的に連設されている放熱フィンリードと、この放熱フィンリードにタブと反対側の端部に配されて一体的に連設されている放熱フィンと、リード群および放熱フィンリードを一体的に保持するフレームとを備えているリードフレームが成形される工程と、

熱伝導性の良好な材料を用いられて板形状に

形成されているヒートシンクが成形される工程と、

リードフレームのタブに半導体ペレットがボンディングされる工程と、

半導体ペレットにリード群が電氣的に接続される工程と、

ヒートシンクがリードフレームにそのタブの半導体ペレットボンディング端面とは反対側の端面に配されて、その一部が放熱フィンリードに機械的に結合されることにより、一体化される工程と、

樹脂封止パッケージがタブと、半導体ペレットと、リードのインナ部群と、放熱フィンリードと、ヒートシンクとを樹脂封止するように樹脂成形される工程と、

を備えていることを特徴とする半導体装置の製造方法。

6. タブと、インナ部がタブに近接して配設されている複数本のリードと、タブに一体的に連設されている放熱フィンリードと、この放熱フィ

ンクが配されている。

放熱性の良好な表面実装形樹脂封止パッケージを備えている低熱抵抗形ICとして、次のように構成されているものが、開示されている。

すなわち、インナリードは、通常のリードフレームからタブが取り外された部分と、この部分よりもやや狭く窓が開設された外枠と、ペレットよりもはるかに大きなタブを持つフレーム（ヒートシンク）との3層構造に構成されており、各フレーム間には両面に接着剤が付けられたポリイミド・フィルムが絶縁層として挟設されている。そして、ペレットがボンディングされたフレームが接地専用と、また、中間に入るフレームが電源専用とそれぞれ形成されており、最上層のリードフレームがアウトリードとして樹脂封止パッケージの外側に突出されている。

このような構成によれば、ペレットがボンディングされるタブの面積を大きく確保することができ、パッケージ内に占める銅の容積が大きくなるため、ICの熱抵抗を小さく抑制するこ

とができる。

ンリードにタブと反対側の端部に配されて一体的に連設されている放熱フィンと、リード群および放熱フィンリードを一体的に保持するフレームとを備えており、前記放熱フィンリードには機械的結合手段部が設けられていることを特徴とするリードフレーム。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置の製造技術、特に、樹脂封止パッケージに樹脂封止された半導体ペレット（以下、ペレットという。）の放熱性能の向上技術に関するもので、例えば、多ピン、低熱抵抗、小型かつ低価格化が要求される半導体集積回路装置（以下、ICという。）に利用して有効なものに関する。

〔従来の技術〕

ICの多機能化、高集積化、高速化が進む最近、ピン数の多い表面実装形樹脂封止パッケージを備えているICにおいては、熱放散性（放熱性）の良好な、ないしは、低熱抵抗形のICの開発が要

とができる。

このような構造の低熱抵抗形ICを述べてある例として、日経マグロウヒル社発行「日経マイクロデバイス 1989年 5月号」P91、がある。

また、特開昭61-152051号公報には、次のように構成されている低熱抵抗形のICが記載されている。

すなわち、この低熱抵抗形ICにおいては、ペレットがボンディングされているタブに放熱フィンリードが一体的に連設されており、この放熱フィンリードのタブと反対側端部に一体的に連設されている放熱フィンが樹脂封止パッケージの外側へ突出されて、幅広に形成されているとともに、ガル・ウイング形状に屈曲されている。

〔発明が解決しようとする課題〕

しかしながら、大きなタブ（ヒートシンク）が樹脂封止パッケージの内部に全部埋め込まれる前者の低熱抵抗形ICにおいては、放熱性能の向上に限界があるばかりでなく、接着剤使用による素

子の汚染防止や、ポリイミド・フィルムを使用することによるコスト増対策、ヒートシンクとしてのタブを厚板化する場合の組立装置の共用化が不十分であるため、次のような問題点が派生する。

- (1) 低熱抵抗形ICの品質および信頼性の確保が困難である。
- (2) 低コスト化が困難である。
- (3) ヒートシンクであるタブを厚板化すると、生産性が低下する。

他方、タブに放熱フィンが熱的に一体化されている後者の低熱抵抗形ICにおいては、放熱性能の向上に限界がある。

本発明の目的は、生産性の低下を抑制しつつ、放熱性能を高めることができる半導体装置の製造技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なも

の概要を説明すれば、次の通りである。

すなわち、半導体ペレットがボンディングされているタブに放熱フィンリードが一体的に連設されているとともに、この放熱フィンリードに樹脂封止パッケージの外部に突出された放熱フィンが一体的に連設されており、さらに、樹脂封止パッケージ内にはヒートシンクの少なくとも一部が前記タブの前記半導体ペレットボンディング端面と反対側の端面に配されて埋設され、かつ、このヒートシンクは前記放熱フィンリードに機械的に結合されていることを特徴とする。

〔作用〕

前記した手段によれば、タブに放熱フィンが熱的に一体化されているとともに、ヒートシンクがタブに近接するように配されて樹脂封止パッケージ内に埋め込まれているため、放熱フィンとヒートシンクとの双方から熱を放出させることができ、放熱性能を大幅に高めることができる。

また、ヒートシンクは樹脂封止パッケージの内部においてタブに連結された放熱フィンリードに

結合される構造になっているため、タブおよび放熱フィンリードを含むリードフレームに対する各種作業を実施する組立装置は、従来のものとの共用化を図ることができる。

さらに、結合前には、ヒートシンクはリードフレームと別体になっているため、ヒートシンクだけの厚板化をきわめて容易に実行することができ、その結果、放熱性能を簡単により一層向上させることができる。

しかも、ヒートシンクと放熱フィンリードとの結合は機械的結合手段により実施されるため、結合時におけるガス発生等がなく、当該ガス発生等による半導体ペレット等の汚染を未然に回避することができる。

以上の作用により、生産性の低下を抑制しつつ、半導体装置の放熱性能を大幅に高めることができる。

〔実施例〕

第1図(a)、(b)は本発明の一実施例である低熱抵抗形QFP・ICを示す対角線に沿う断面図およ

び正面断面図、第2図はその一部切断平面図、第3図以降は本発明の一実施例であるそのQFP・ICの製造方法を示す各説明図である。

本実施例において、本発明に係る半導体装置は、低熱抵抗を実現するための半導体集積回路装置（以下、ICという。）である放熱性の良好な樹脂封止形クワッド・フラット・パッケージを備えているIC（以下、低熱抵抗形QFP・IC、または、単に、ICということがある。）として構成されている。

この低熱抵抗形QFP・IC20はシリコン半導体ペレット（以下、ペレットという。）12と、ペレットの四方に配設されている複数本のリード9と、ペレットの各電極パッド12aおよび各リード9のインナ部9aにその両端部をそれぞれボンディングされて橋絡されているボンディングワイヤ13と、ペレットがボンディングされているタブ10と、これらを樹脂封止するパッケージ19とを備えており、前記ペレット12がボンディングされているタブ10には放熱フィンリード7

が一体的に連設されているとともに、この放熱フィンリード7には前記樹脂封止パッケージ19の外部に突出された放熱フィン8が一体的に連設されており、さらに、樹脂封止パッケージ19内にはヒートシンク14が前記タブ10の前記ペレットボンディング端面と反対側の端面に配されて埋設され、かつ、このヒートシンク14は前記放熱フィンリード7にかしめ加工部16によって結合されている。そして、この低熱抵抗形QFP・ICは次のような製造方法により製造されている。

以下、本発明の一実施例であるこの低熱抵抗形QFP・ICの製造方法を説明する。この説明により、前記低熱抵抗形QFP・ICについての構成の詳細が共に明らかにされる。

本実施例において、低熱抵抗形QFP・ICの製造方法には、第3図に示されている多連リードフレーム1が使用されている。この多連リードフレーム1は、鉄-ニッケル合金や焼青銅等のような比較的大きい機械的強度を有するばね材料からなる薄板が用いられて、打ち抜きプレス加工また

はエッチング加工等のような適当な手段により一体成形されており、この多連リードフレーム1の表面には銀(Ag)等を用いためっき処理が、後述するワイヤボンディングが適正に実施されるように施されている(図示せず)。この多連リードフレーム1には複数の単位リードフレーム2が横方向に1列に並設されている。但し、一単位のみが図示されている。

単位リードフレーム2は位置決め孔3aが開設されている外枠3を一對備えており、両外枠3は所定の間隔で平行になるように配されて一連にそれぞれ延設されている。隣り合う単位リードフレーム2、2間には一對のセクション枠4が両外枠3、3間に互いに平行に配されて一体的に架設されており、これら外枠、セクション枠により形成される略正方形の枠体(フレーム)内に単位リードフレーム2が構成されている。

各単位リードフレーム2において、外枠3およびセクション枠4の接続部にはダム吊り部材5が略直角方向にそれぞれ配されて一体的に突設され

ており、ダム吊り部材5には4本のダム部材6が略正方形の枠形状になるように配されて、一体的に吊持されている。各ダム部材6には4本の放熱フィンリード7が4箇所のコーナ部にそれぞれ配されて、対角線方向に突出するように一体的に突設されており、各放熱フィンリード7には機械的結合手段の一部としての結合孔7aが略中央部に配されて厚さ方向に貫通するように開設されている。

そして、4本の放熱フィンリード7の外側先端部には放熱フィン8が一体的に突設されており、この放熱フィン8は後記するリード9のアウト部9bと対応する形状および配置にそれぞれ形成されている。各放熱フィンリード7の内側先端部には略正方形形状のタブ10が枠形状と同心的に配されて、これら放熱フィンリード7により吊持されるように一体的に連設されている。各放熱フィンリード7は結合孔7aの内側位置においてそれぞれ屈曲されており、この放熱フィンリード7の屈曲によって、タブ10は後記するリード9群の

面よりも、後記するペレット12の厚さ分程度下げられている(所謂タブ下げ。)

また、ダム部材6には複数本のリード9が長手方向に等間隔に配されて、互いに平行で、ダム部材6と直交するように一体的に突設されている。各リード9の内側端部は先端が後記するペレットをボンディングするためのタブ10を取り囲むように配されることにより、インナ部9aをそれぞれ構成している。他方、各リード9の外側延長部分は、その先端が外枠3およびセクション枠4に接続されており、アウト部9bをそれぞれ構成している。そして、ダム部材6における隣り合うリード9、9間の部分は、後述するパッケージ成形時にレジンの流れをせき止めるダム9aを実質的に構成している。

このように構成されている多連リードフレームには各単位リードフレーム毎にペレット・ボンディング作業、続いて、ワイヤ・ボンディング作業が実施される。これらボンディング作業は多連リードフレームが横方向にピッチ送りされることに

より、各単位リードフレーム毎に順次実施される。このとき、多連リードフレームの厚さや外形は従来の多連リードフレームと同一であるため、これから作業の実施には、従来のペレット・ボンディング装置や、ワイヤ・ボンディング装置が使用される。

まず、ペレット・ボンディング作業により、第4図および第5図に示されているように、半導体装置の製造工程における所謂前工程において集積回路を作り込まれた半導体集積回路構造物としてのペレット12が、各単位リードフレーム2におけるタブ10上の略中央部に配されて、タブ10とペレット12との間に形成されたボンディング層11によって機械的に固着されることによりボンディングされる。ペレットボンディング層11の形成手段としては、金-シリコン共晶層、はんだ付け層および銀ペースト接着層等々によるボンディング法を用いることが可能である。但し、必要に応じて、ペレットからタブへの熱伝達の障壁とならないように、ボンディング層11を形成す

ることが望ましい。

続いて、ワイヤボンディング作業により、第4図および第5図に示されているように、タブ10上にボンディングされたペレット12の電極パッド12aと、各単位リードフレーム2におけるリード9のインナ部9aとの間に、ボンディングワイヤ13が超音波熱圧着式ワイヤボンディング装置等のような適当なワイヤボンディング装置(図示せず)が使用されることにより、その両端部をそれぞれボンディングされて橋結される。これにより、ペレット12に作り込まれている集積回路は、電極パッド12a、ボンディングワイヤ13、リード9のインナ部9aおよびアウト部9bを介して電氣的に外部に引き出されることになる。

本実施例において、低熱抵抗形QFP・ICの製造方法には、第6図に示されているヒートシンク14が使用されている。

ヒートシンク14は銅等のような熱伝導性の良好な材料が用いられて、タブ10の平面形状に対して大きめの正方形の板形状に形成されている。

ヒートシンク14には手段の一部としてのリベット部15が4本、正方形の4隅に配されて垂直方向上向きにそれぞれ突設されており、各リベット15はその先端部が前記結合孔7aに挿入可能な2段円柱形状に形成されている。リベット部15は2段円柱形状の段付部15aにおいて結合孔7aの開口縁辺に係合するようになっており、この係合により、後述するように、ヒートシンク14の上面はタブ10の下面に当接されるようになっている。

前記構成に係る電氣的接続リード用の多連リードフレーム1とヒートシンク14とは、第7図、第8図および第9図に示されているように、リードフレーム側の放熱フィンリード7の結合孔7aに、ヒートシンク14側のリベット部15が挿入され、その段付部15aが結合孔7aの裏面開口縁辺に係合された状態で、それぞれ上下に配されて重ね合わされるとともに、リベット部15の挿入端部にかしめ加工部16が形成されることにより、固定的に結合される。このようにして各ヒ-

ートシンク14が結合された多連リードフレーム重合体18において、下側のヒートシンク14は上側の多連リードフレーム1におけるタブ10に当接されているとともに、前記放熱フィンリード7における屈曲によりリード9群に接触しないしは干渉しない状態になっている。

このようにしてペレットおよびワイヤ・ボンディングされ、かつ、ヒートシンク14が結合されたリードフレーム重合体18には、各単位リードフレーム毎に樹脂封止するパッケージ19群が、第10図に示されているようなトランスファ成形装置30を使用して、第11図に示されているように、単位リードフレーム群について同時成形される。

第10図に示されているトランスファ成形装置30はシリンダ装置等(図示せず)によって互いに型締めされる一對の上型31と下型32とを備えており、上型31と下型32との合わせ面には上型キャビティー凹部33aと下型キャビティー凹部33bとが互いに協働してキャビティー33

を形成するようにそれぞれ複数組設されている。上型31の合わせ面にはポット34が開設されており、ポット34にはシリンダ装置(図示せず)により進退されるプランジャ35が成形材料としての樹脂(以下、レジンという。)を送給し得るように挿入されている。下型32の合わせ面にはカル36がポット34との対向位置に配されて設けられているとともに、複数条のランナ37がポット34にそれぞれ接続するように放射状に配されて設けられている。各ランナ37の他端部は下側キャビティー凹部33bにそれぞれ接続されており、その接続部にはゲート38がレジンをキャビティー33内に注入し得るように形成されている。

また、下型32の合わせ面には逃げ凹所39がリードフレーム重合体18における多連リードフレーム1の厚みを逃げ得るように、その外形よりも若干大きめの長方形で、その厚さと略等しい寸法の一定深さに設けられている。

前記構成に係る多連リードフレーム重合体18

下型32は型開きされるとともに、エジェクタ・ピン(図示せず)によりパッケージ19群が離型される。このようにして、第11図に示されているように、パッケージ19群を成形された多連リードフレーム重合体18はトランスファ成形装置30から脱装される。

そして、このようにして樹脂成形されたパッケージ19の内部には、第11図に示されているように、ベレット12、リード9のインナ部9a、ボンディングワイヤ13、放熱フィンリード7およびヒートシンク14が樹脂封止されることになる。この状態において、ヒートシンク14は樹脂封止パッケージ19の内部に完全に埋め込まれた状態になっている。また、放熱フィンリード7における外側端部側に形成された放熱フィン8は樹脂封止パッケージ19のコーナ部側面からそれぞれ直角方向に突出された状態になっている。

その後、多連リードフレーム重合体18はリード切断成形工程において、各単位リードフレーム2毎に順次、リード切断装置(図示せず)により、

を用いられて樹脂封止パッケージがトランスファ成形される場合、上型31および下型32における各キャビティー33は各単位リードフレーム2における4本のダム部材6間の空間にそれぞれ対応される。また、キャビティー33はヒートシンク14を完全に埋め込み得るように設定されている。

トランスファ成形時において、前記構成に係る多連リードフレーム重合体18は下型32に設けられている逃げ凹所39内に、各単位リードフレーム2におけるベレット12およびヒートシンク14が各キャビティー33内にそれぞれ収容されるように配されてセットされる。

続いて、上型31と下型32とが型締めされ、ポット34からプランジャ35により成形材料としてのレジン40がランナ37およびゲート38を通じて各キャビティー33に送給されて圧入される。

注入後、レジン40が熱硬化されて樹脂封止形パッケージ19が成形されると、上型31および

各リード9および放熱フィン8から、外枠3、セクション枠4および各ダム6aを切り落された後、リード成形装置(図示せず)により、リード9のアウト部9bおよび放熱フィン8をガル・ウイング形状にそれぞれ屈曲成形される。これにより、前記構成に係る低熱抵抗形QFP・IC20が製造されたことになる。

以上のようにして製造された低熱抵抗形QFP・IC20は第12図および第13図に示されているようにプリント配線基板に実装される。

第12図および第13図において、プリント配線基板21には通電用ランド22が複数個、実装対象物となる低熱抵抗形QFP・IC20における各リード9のアウト部9bに対応するように略正方形枠形状にそれぞれ配されて、はんだ材料を用いて略長方形の小平板形状に形成されている。また、プリント配線基板21には放熱フィン用のランド23が、各ランド22群列の両端部においてこのQFP・IC20の放熱フィン8に対応するようにそれぞれ配されて、各放熱フィン8の列

に略対応する長方形の平板形状にそれぞれ形成されている。

低熱抵抗形QFP・IC20がこのプリント配線基板21に表面実装される際、このQFP・IC20におけるリード9のアウタ部9b群および放熱フィン8がプリント配線基板21上のランド22および23に、クリームはんだ材料(図示せず)を挾設されてそれぞれ当接される。続いて、リフローはんだ処理等のような適当な手段により、クリームはんだ材料が溶融された後、固化されると、リードアウタ部9b群および放熱フィン8と、ランド22および23との間には、はんだ付け部24および25がそれぞれ形成される。この状態において、低熱抵抗形QFP・IC20はプリント配線基板21に電気的かつ機械的に接続され、表面実装された状態になる。

この実装状態において稼働中、ペレット12が発熱すると、ペレット12は放熱フィンリード7に一体となったタブ10に直接ボンディングされているため、その熱は放熱フィンリード7に直接

的に伝播され、その放熱フィンリード7に連結されている放熱フィン8の全体からプリント配線基板21を通じて効果的に放熱されることになる。そして、ペレット12から放熱フィンリード7に伝播された熱は、放熱フィンリード7に一体になった放熱フィン8からランド24を経由してプリント配線基板21へ放熱される。

また、この実装状態で、低熱抵抗形QFP・IC20が稼働されてペレット12が発熱した場合、その熱はペレット12からタブ10およびヒートシンク14に直接的に熱伝導されるとともに、ヒートシンク14の広い表面積から樹脂封止パッケージ19全体に放熱されるため、相対的にペレット12は充分に冷却される。

ちなみに、ヒートシンク14の一部が樹脂封止パッケージ19の外部に露出され、この露出面に外付け放熱フィンや、押さえ具等が建設されている場合には、ヒートシンク14に伝導された熱が外付け放熱フィンや、押さえ具等を通じてさらに広い範囲に熱伝導されるため、放熱効果はより一

層高くなる。

前記実施例によれば次の効果が得られる。

- (1) タブに放熱フィンが熱的に一体化されているとともに、ヒートシンクの少なくとも一部がタブに近接するように配されて樹脂封止パッケージ内に埋め込まれているため、放熱フィンとヒートシンクとの双方から熱を放出させることができ、放熱性能を大幅に高めることができる。
- (2) ヒートシンクは樹脂封止パッケージの内部においてタブに連結された放熱フィンリードに結合される構造になっているため、タブおよび放熱フィンリードを含むリードフレームに対する各種作業を実施する組立装置は、従来のものとの共用化を図ることができる。
- (3) 結合前には、ヒートシンクはリードフレームと別体になっているため、ヒートシンクだけの厚板化をきわめて容易に実行することができ、その結果、放熱性能を簡単により一層向上させることができる。
- (4) ヒートシンクと放熱フィンリードとの結合は

かしめ加工により実施されるため、結合時におけるガス発生等がなく、当該ガス発生等によるペレット等の汚染を未然に回避することができる。

- (5) ヒートシンクとリードフレームとの結合をクワッド・フラット・パッケージにおいて正方形のコーナ部に配設することにより、当該コーナ部には比較的スペースに余裕があるため、ヒートシンク内蔵形であっても樹脂封止パッケージの大形化を回避することができ、小型化および高密度化並びに低コスト化を促進することができる。

(6) 電気的接続用のリードとは別に、熱伝導性の良好な材料を用いてヒートシンクを形成することにより、前記(1)の放熱性能をより一層高めることができる。

(7) 他方、電気的接続用のリードおよび放熱フィンはヒートシンクとは別に機械的強度の高い材料を用いて形成することにより、リード群および放熱フィンの曲がりや破損等を防止することができるとともに、前記(1)、(3)および(6)により、高い放熱性能を確保することができる。

(b) ペレットの周囲に配設される複数本のリードの面とは異なる面(タブ下げされた面)において、ヒートシンクを支持することにより、ヒートシンクと各リードとの短絡事故の発生を確実に防止することができるため、半導体装置の品質および信頼性を高めることができる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、ヒートシンクを打ち抜き成形する、または、エッチング加工により成形する場合、複数個のヒートシンク外枠(フレーム)によって多連構造に構成しておくこと、取り扱い性を高めることができる。

電気的接続用のリードフレームのヒートシンクとの結合部の形状は、対角線上に延びるように突設してもよい。この場合、結合部の切り口は樹脂封止パッケージの4隅に1個宛露出されることに

なる。

リードフレームとヒートシンクとの結合部は樹脂封止パッケージの4隅に全て配設するに限らず、少なくとも2箇所に配設すればよい。

ヒートシンクと電気的接続用リードフレームとの結合手段としては、リベットによる締結構造を使用するに限らず、はんだ材料による溶着構造等を使用してもよい。これらの場合、結合孔は省略することができる。

ヒートシンクは樹脂封止パッケージの内部に全部が埋め込まれるように構成するに限らず、その一部が樹脂封止パッケージの表面から露出するように構成してもよい。さらに、その場合、ヒートシンクが樹脂封止パッケージの表面から若干突出するように構成してもよいし、樹脂封止パッケージの一端面と略同一平面(所謂面いち)になるように構成してもよい。

放熱フィンおよびヒートシンクの形状、大きさ、構造等は、要求される放熱性能、実装形態(例えば、押さえ具や締結ボルトの使用の有無等)、ペ

レットの性能、大きさ、形状、構造等々の諸条件に対応して選定することが望ましく、必要に応じて、外付の放熱フィンやボルト押通孔、締め具等を設けることができる。

また、ヒートシンクを形成する材料としては銅系材料を使用するに限らず、アルミニウム系等のような熱伝導性の良好な他の金属材料を使用することができる。特に、炭化シリコン(SiC)等のように熱伝導性に優れ、かつ、熱膨張率がペレットの材料であるシリコンのそれと略等しい材料を使用することが望ましい。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるQFP・ICに適用した場合について説明したが、それに限定されるものではなく、SOP・IC、QFJ・IC、SOJ・IC、QFI・IC、SOI・IC等のような表面実装形樹脂封止パッケージを備えたIC、さらには、樹脂封止形パワートランジスタや、その他の電子装置全般に適用することができる。特に、本発明は、小型軽量、多ピ

ンで、しかも、低価格であり、高い放熱性能が要求される半導体装置に利用して優れた効果が得られる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、次の通りである。

タブに放熱フィンを熱的に一体化するとともに、ヒートシンクの少なくとも一部をタブに近接するように配して樹脂封止パッケージ内に埋め込むことにより、放熱フィンとヒートシンクとの双方から熱を放出させることができるため、放熱性能を大幅に高めることができる。

また、ヒートシンクを樹脂封止パッケージの内部においてタブに連結された放熱フィンリードに結合することにより、タブおよび放熱フィンリードを含むリードフレームに対する各種作業を実施する組立装置は、従来のものとの共用化を図ることができる。

さらに、結合前には、ヒートシンクはリードフ

レームと別体になっているため、ヒートシンクだけの厚板化をきわめて容易に実行することができる。しかも、ヒートシンクと放熱フィンリードとの結合を機械的結合手段により実施することにより、結合時におけるガス発生等がなく、当該ガス発生等による半導体ベレット等の汚染を未然に回避することができる。

4. 図面の簡単な説明

第1図(a)、(b)は本発明の一実施例である低熱抵抗形QFP・ICを示す対角線に沿う断面図および正面断面図、

第2図はその一部切断平面図、

第3図以降はその製造方法を説明するものであり、第3図は多連リードフレームを示す一部省略平面図、

第4図はベレットおよびワイヤ・ボンディング後を示す拡大部分平面図、

第5図は第4図のV-V線に沿う断面図、

第6図はヒートシンクを示す斜視図、

第7図はヒートシンクのリードフレームへの結

合工程を示す一部切断拡大部分斜視図、

第8図はヒートシンクとリードフレームとの結合後を示す拡大部分平面図、

第9図は第8図のIX-IX線に沿う断面図、

第10図は樹脂封止パッケージ成形工程を示す部分縦断面図、

第11図はパッケージ成形後を示す拡大部分平面断面図、である。

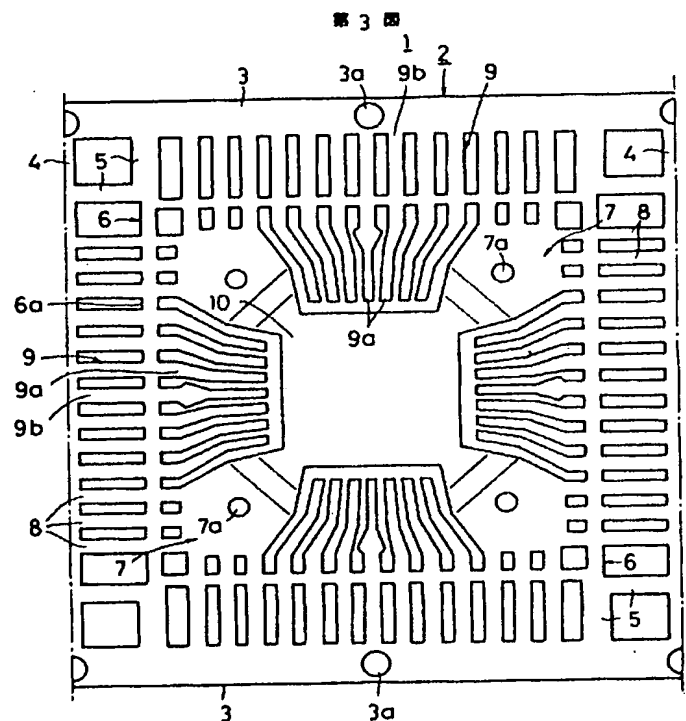
第12図はその低熱抵抗形QFP・ICの実装状態を示す斜視図、

第13図は同じく一部切断正面図、である。

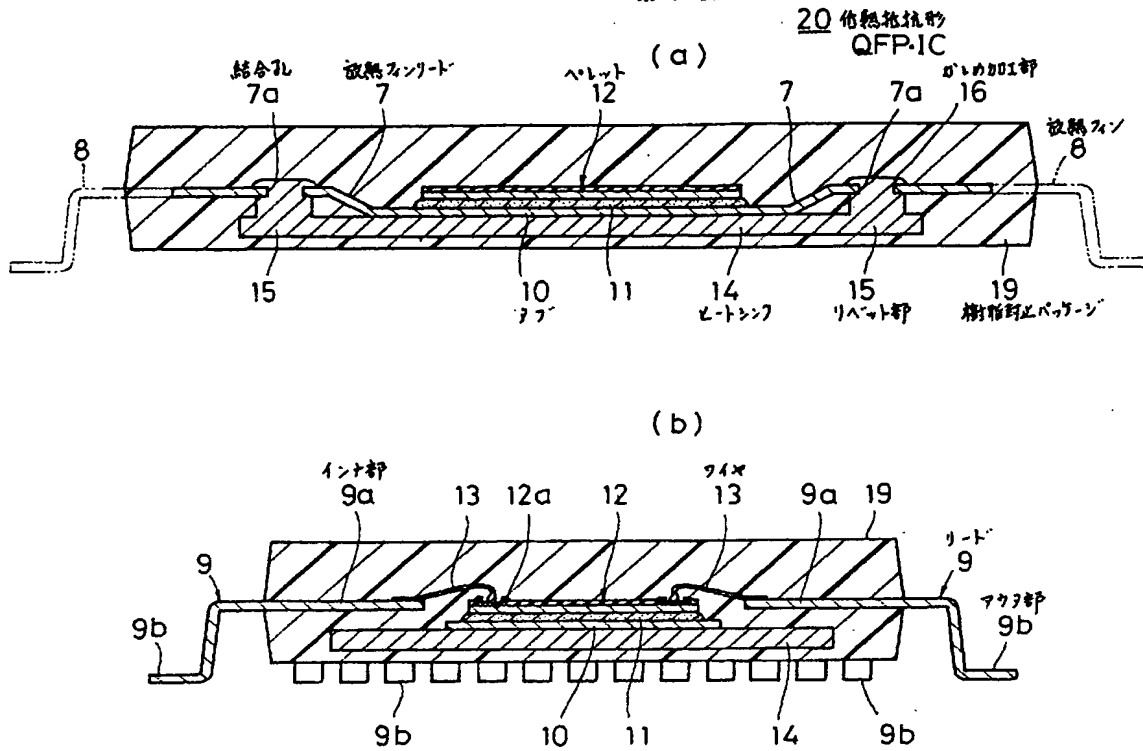
1…多連リードフレーム、2…単位リードフレーム、3…外枠、4…セクション枠、5…ダム吊り部材、6…ダム部材、6a…ダム、7…放熱フィンリード、7a…結合孔(結合手段)、8…放熱フィン、9…リード、9a…インナ部、9b…アウト部、10…タブ、11…ボンディング層、12…ベレット、13…ワイヤ、14…ヒートシンク、15…リベット部(結合手段)、16…かしめ加工部、18…多連リードフレーム重合体、

19…樹脂封止パッケージ、20…低熱抵抗形QFP・IC(半導体装置)、21…プリント配線基板、22、23…ランド、24、25…はんだ付け部、30…トランスファ成形装置、31…上型、32…下型、33…キャビティ、34…ポット、35…ブランチ、36…カル、37…ランナ、38…ゲート、39…凹所、40…レジソ、

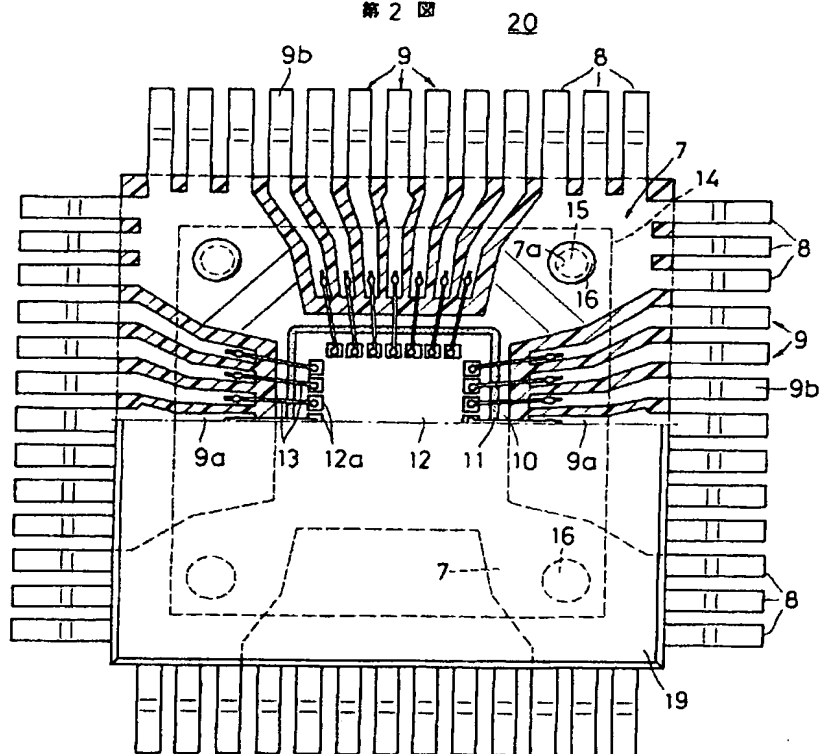
代理人 弁理士 梶 原 辰 也

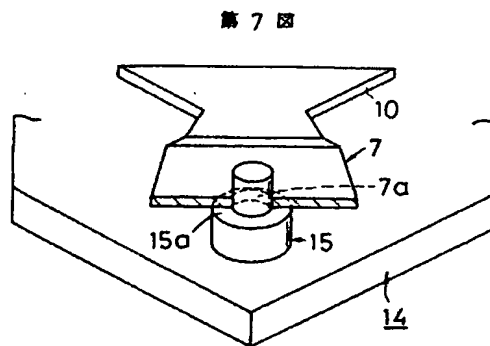
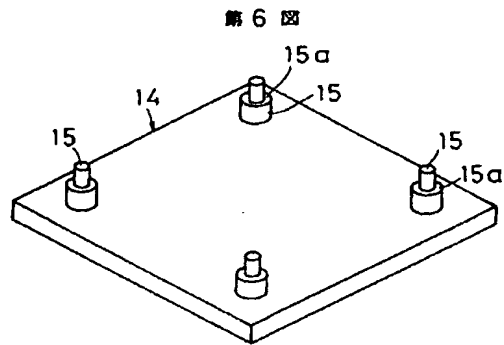
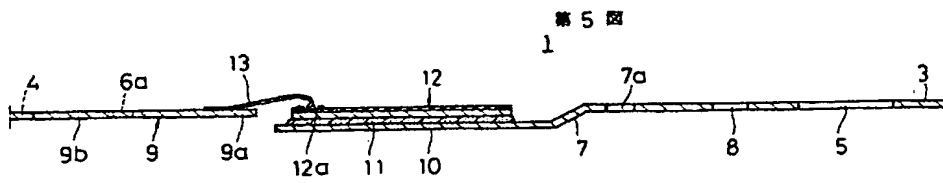
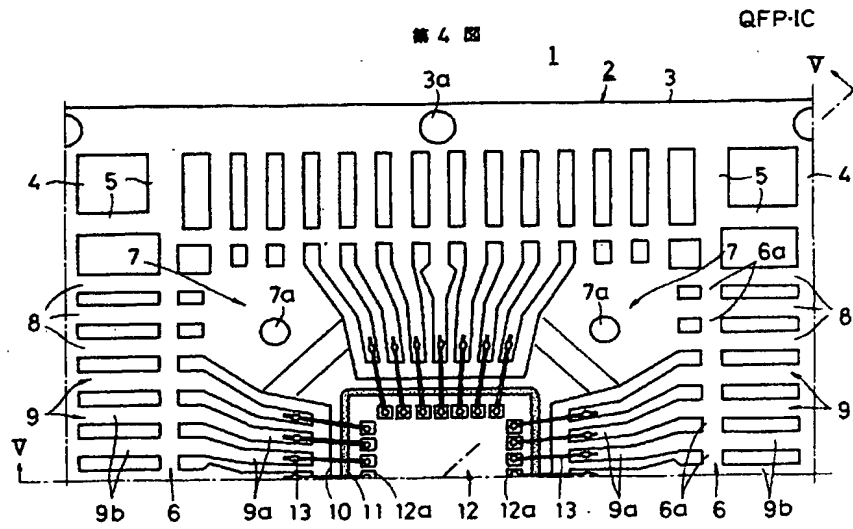


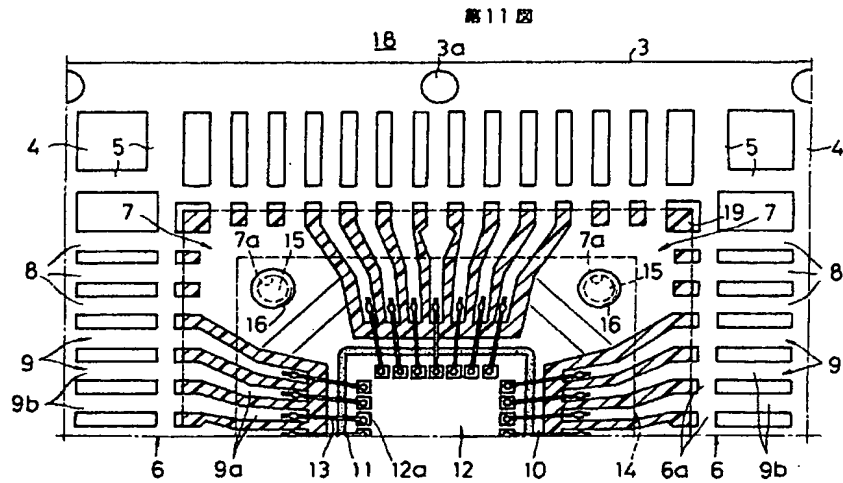
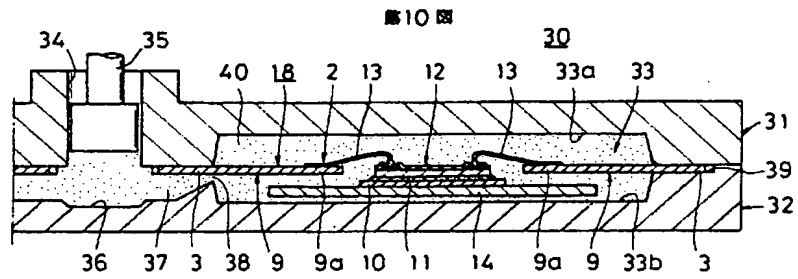
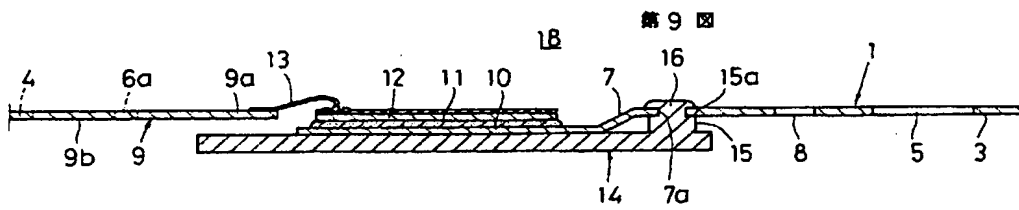
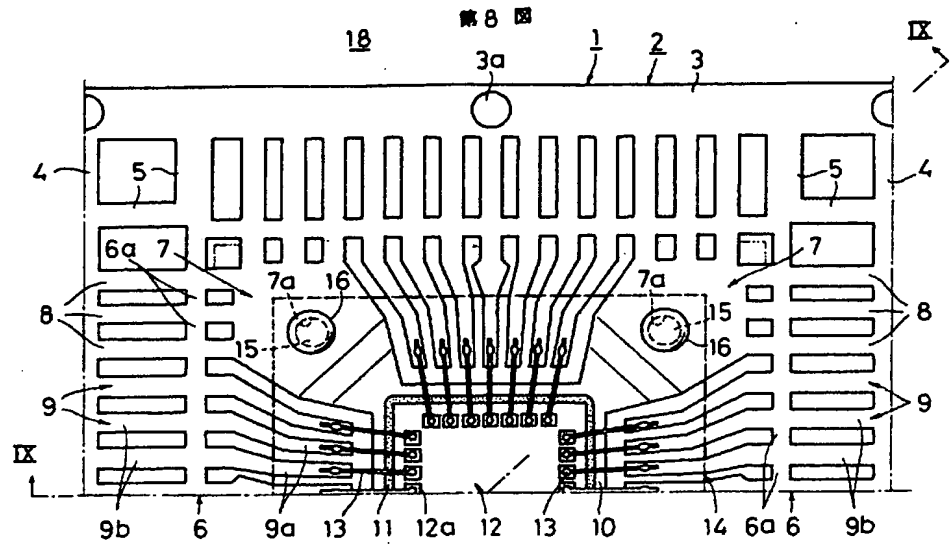
第 1 図

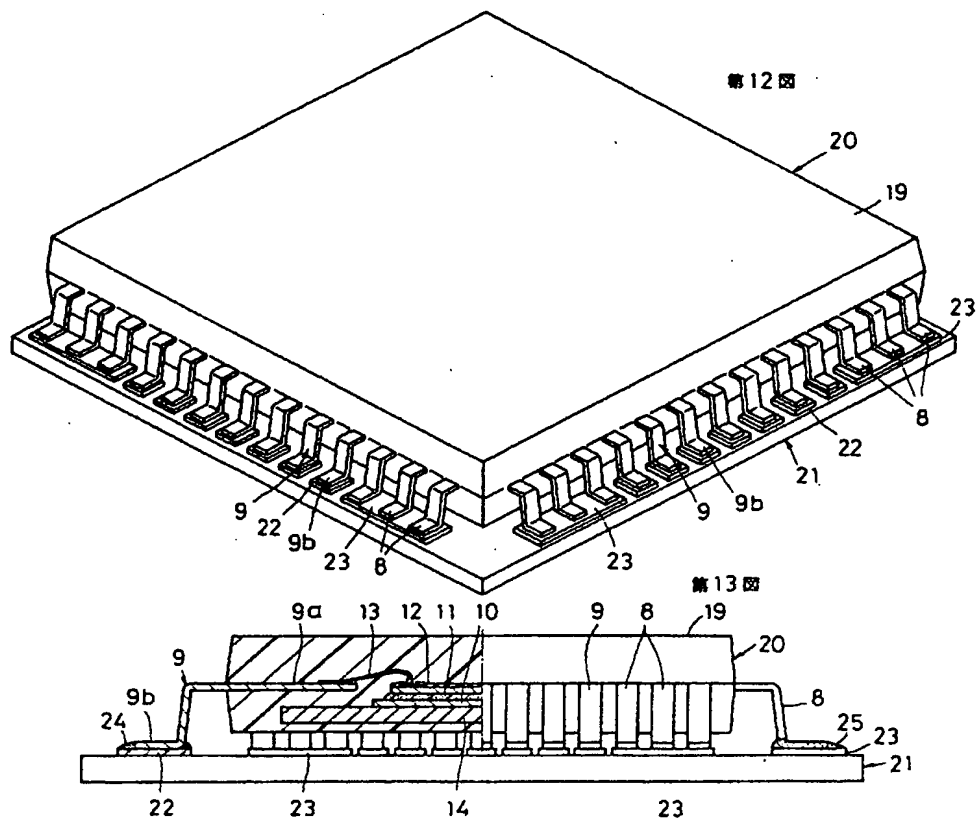


第 2 図









第1頁の続き

| | | | | |
|------|----|---|---|-------------------------------------|
| ②発明者 | 星 | 彰 | 郎 | 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内 |
| ②発明者 | 佐藤 | 幸 | 弘 | 埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内 |